Candence Allegro和Design Entry CIS软件操作问题及解决方法

目录

[Candence Allegro和Design Entry CIS软件操作问题及解决方法 1](#_Toc118401116)

[Design Entry CIS 3](#_Toc118401117)

[1. 如何修改原理图当前页面尺寸： 3](#_Toc118401118)

[2. 如何添加Header？ 3](#_Toc118401119)

[3. 如何连接Header？ 3](#_Toc118401120)

[4. 如何刷新元器件位号？ 3](#_Toc118401121)

[5. 刷新元器件编号时，窗口显示不全的原因是什么？怎么解决？ 3](#_Toc118401122)

[6. 如何查找所有net? 4](#_Toc118401123)

[7. 如何在Header中添加PCB footprint信息？ 4](#_Toc118401124)

[8. 如何进行DRC检查？ 4](#_Toc118401125)

[9. 如何生成包含PCB footprint信息的bom清单？ 4](#_Toc118401126)

[10. 如何生成网表？ 5](#_Toc118401127)

[Candence Allegro 5](#_Toc118401128)

[11. 用哪个软件新建封装库？ 5](#_Toc118401129)

[12. 新建封装时，发现在放置shape symbol三个shape时在默认精度下不容易对齐。 6](#_Toc118401130)

[13. pad保存的时候会报错，原因是原点不在图形里面。 6](#_Toc118401131)

[14. 绘制焊盘的时候报错说两个shape之间的距离最小为0.05mil。 6](#_Toc118401132)

[15. 手动调整封装如果移动距离过大怎么办？ 6](#_Toc118401133)

[16. 制作Pad时找不到另一个shape？ 7](#_Toc118401134)

[17. 制作封装时，量好Pad之间相对位置后怎么精确移动？ 7](#_Toc118401135)

[18. 在制作shape的过程中，没有选坐标中心为原点，导致在制作pad过程中，大的框包不住小的。 7](#_Toc118401136)

[19. 制作pad文件前，需再制作一个外扩5mil的shape作阻焊开窗。 7](#_Toc118401137)

[20. 调整了dra文件中焊盘的位置，在新的dra文件中仍然不能改变位置，怎么办？ 7](#_Toc118401138)

[21. 用哪个软件新建Board？ 7](#_Toc118401139)

[22. 新建项目时，各个项目类型都是什么含义？ 7](#_Toc118401140)

[23. 导入板框时的注意事项是什么？ 8](#_Toc118401141)

[24. 导入网表时有哪些注意事项？ 9](#_Toc118401142)

[25. 导入网表报错的可能原因有哪些？如何解决？ 11](#_Toc118401143)

[26. 如何设置原理图和PCB交互布局： 11](#_Toc118401144)

[27. 向导方式新建封装时有哪些注意事项？ 11](#_Toc118401145)

[28. 网表导入正确但是无法放置所有封装的原因是什么？怎么解决？ 12](#_Toc118401146)

[29. Manully place窗口不弹出来，怎么办？ 12](#_Toc118401147)

[30. 原理图中本应相连的两个管脚因命名错误，导致header上的GND极没有蓝线连接任何元件，怎么办？ 14](#_Toc118401148)

[31. 手动添加的封装，有些找不到，怎么办？ 14](#_Toc118401149)

[32. 如果工具栏被误操作删除了，怎么恢复？ 15](#_Toc118401150)

[33. 如果走线显示灰色，命令不能激活怎么办？ 15](#_Toc118401151)

[34. 为什么有时候无法复制走线或孔等对象？ 15](#_Toc118401152)

[35. 为什么有时候双击无法打孔？ 15](#_Toc118401153)

[36. 走线错误时，如何快速的修改走线？ 15](#_Toc118401154)

[37. 差分对扇出方式不对称时怎么办？ 15](#_Toc118401155)

[38. 创建差分对和等长组时，应该用NET创建还是用PPr？ 15](#_Toc118401156)

[39. 有些引脚明明已经连好却会提示unplanned（管脚上出现三角形飞线）怎么办？ 16](#_Toc118401157)

[40. 设置等长时，如何指定最长线作为target？ 16](#_Toc118401158)

[41. 布线时，有多个pin显示ED报错，该如何处理？ 16](#_Toc118401159)

[42. 点击Art图标没反应怎么处理？ 16](#_Toc118401160)

## Design Entry CIS

##### 如何修改原理图当前页面尺寸：

在当前页面→Options→Schematic Page Properties。

##### 如何添加Header？

Place part→全选库→输入Header回车→双击查找到的器件→单击放置。

##### 如何连接Header？

先将各管脚连线→Place net alias→输入网络名→放置在线上。

##### 如何刷新元器件位号？

选择\*.dsn右键→annotate→reset part references to ?

再选择\*.dsn 右键→annotate→Incremental references update。

##### 刷新元器件编号时，窗口显示不全的原因是什么？怎么解决？

原因：Windows电脑图标→设置→系统→显示→缩放与布局→放大150倍。放大倍数太大导致窗口置于屏幕最下方，无法查看确认按钮或操作。

解决方法：直接回车确认，或者临时将此值更改小点。



##### 如何查找所有net?

在望远镜图标处展开下拉菜单→全不选→勾选nets→在空格处输入\*→回车；界面最下方展示原理图中所有net的信息。

##### 如何在Header中添加PCB footprint信息？

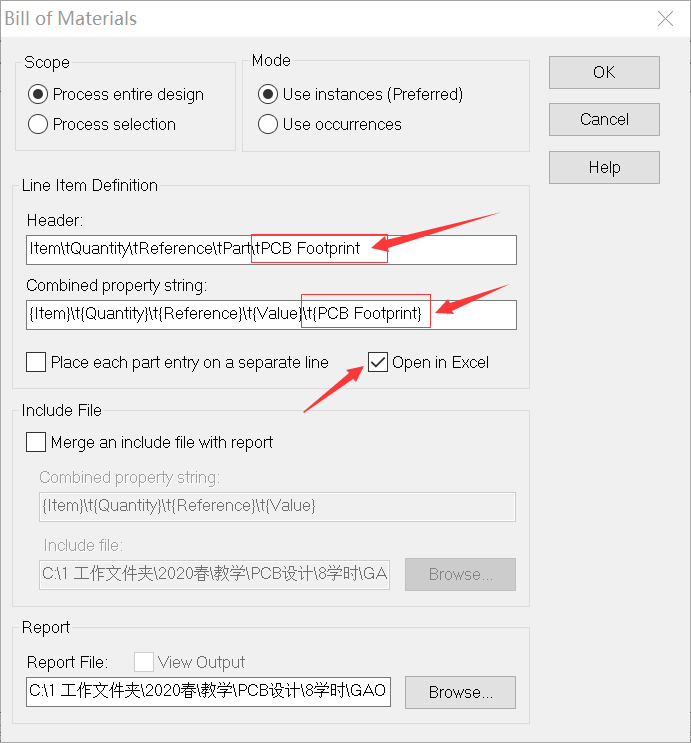
双击想要添加PCB footprint的part，弹出部件特性窗口→找到PCB footprint界面→填入对应封装信息。

##### 如何进行DRC检查？

选择\*.dsn→Tools→DRC

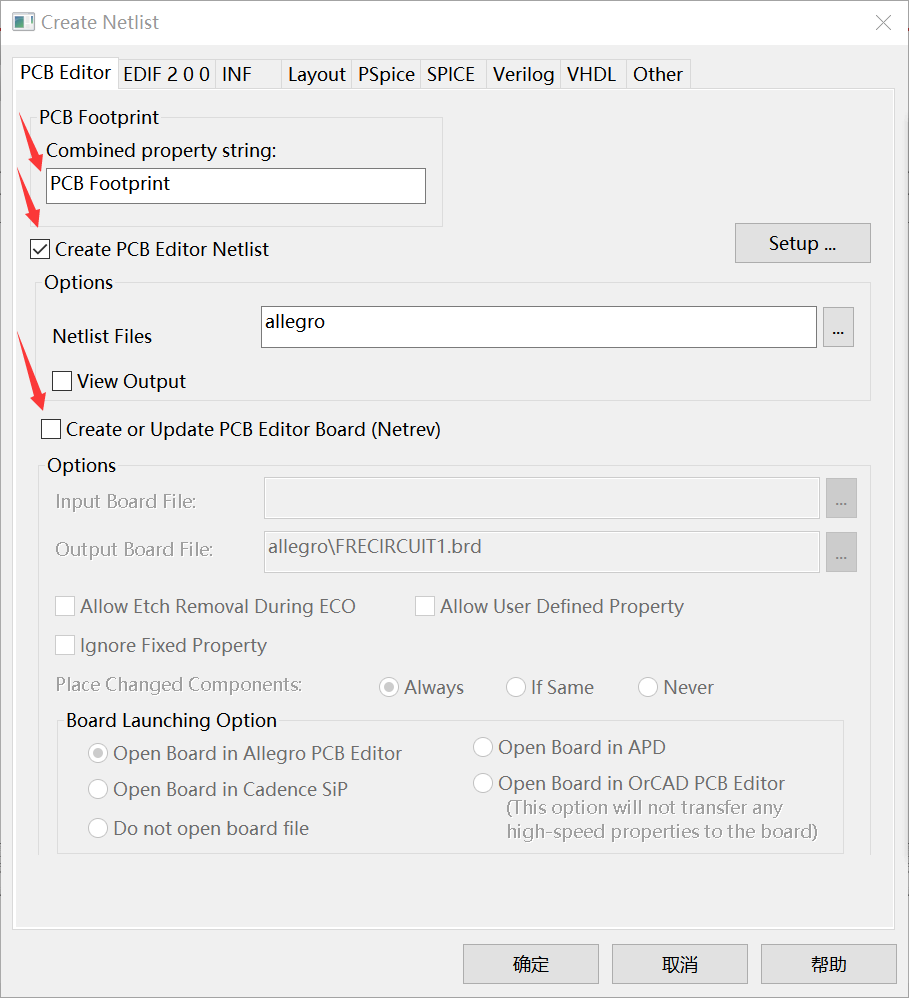
##### 如何生成包含PCB footprint信息的bom清单？

首先确保原理图中所有part全部包含PCB footprint信息，然后进行操作。选择\*.dsn→Tools→Bill of Materials→在弹出的对话框中注意添加想要导出的信息，如图。



##### 如何生成网表？

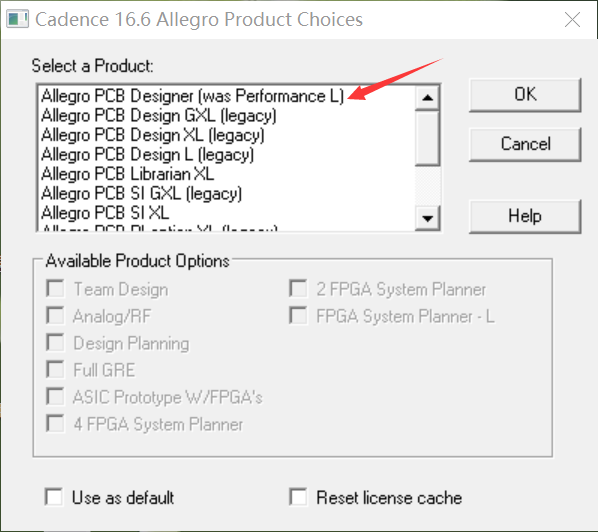
首先确保原理图中所有part全部包含PCB footprint信息，无DRC报错，然后进行操作。选择\*.dsn→Tools→Creat Netlist



## Candence Allegro

##### 用哪个软件新建封装库？

PCB Editor→Allegro PCB Designer(was Performance L)。



##### 新建封装时，发现在放置shape symbol三个shape时在默认精度下不容易对齐。

setup中选design parameters在display中设置grids的距离，数值越小，放置精度越高。（罗鑫宇180330123）

##### pad保存的时候会报错，原因是原点不在图形里面。

需要将Shape的原点移到图里或者边缘上。（王瑞琳180210203；张逸婷180330215；傅必成SZ170510208；董雪梅180330120）

##### 绘制焊盘的时候报错说两个shape之间的距离最小为0.05mil。

在焊盘规则设置里面将所有间距为0.05的值重新设置为0。（杜卓航180210307）

##### 手动调整封装如果移动距离过大怎么办？

在setup里更改grid栅格大小，以获得更加精确的绘图结果。（李司南180330108）

##### 制作Pad时找不到另一个shape？

画好shape后没有注意路径的变化，以至于两个shape文件不在一个路径，将文件重新放到一起问题解决。或者把路径添加到默认路径也可以。（李钰亮180210308；邓景耀SZ170110303）

##### 制作封装时，量好Pad之间相对位置后怎么精确移动？

点击move之后，在command输入即可，不用管他和鼠标一起动来动去，只要不放下即可。（李钰亮180210308）

##### 在制作shape的过程中，没有选坐标中心为原点，导致在制作pad过程中，大的框包不住小的。

回到shape图形中调节大的框位置使得两个shape的offset相同。（钟世浩180210421）

##### 制作pad文件前，需再制作一个外扩5mil的shape作阻焊开窗。

（王嵘180110126）

##### 调整了dra文件中焊盘的位置，在新的dra文件中仍然不能改变位置，怎么办？

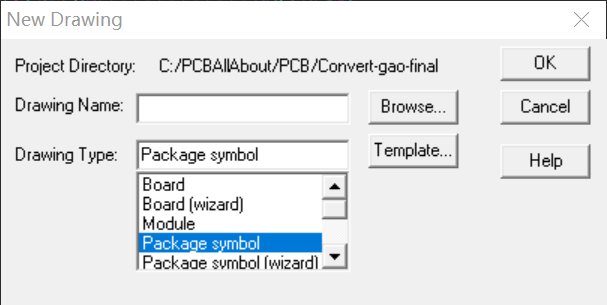
重新命名shape文件的名称，重设pad。确保所有新的文件都在正确路径下。（李渤180210314）

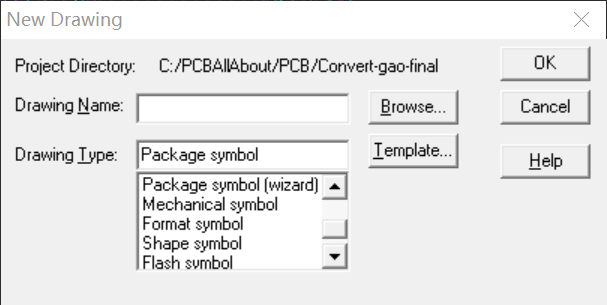
##### 用哪个软件新建Board？

PCB Editor→Allegro PCB Designer(was Performance L)。

##### 新建项目时，各个项目类型都是什么含义？

从上到下依次是：封装，PCB ，向导方式新建PCB，模块，向导方式新建封装，机械封装；格式封装；形状封装；Flash封装。



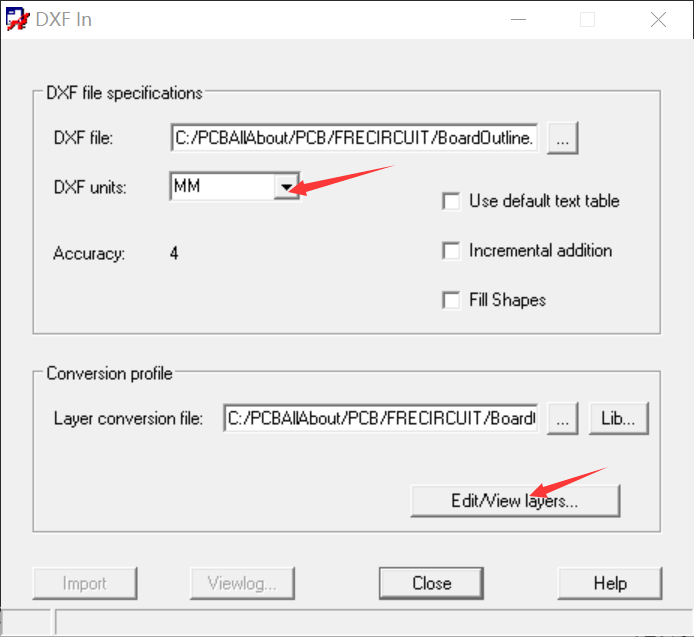


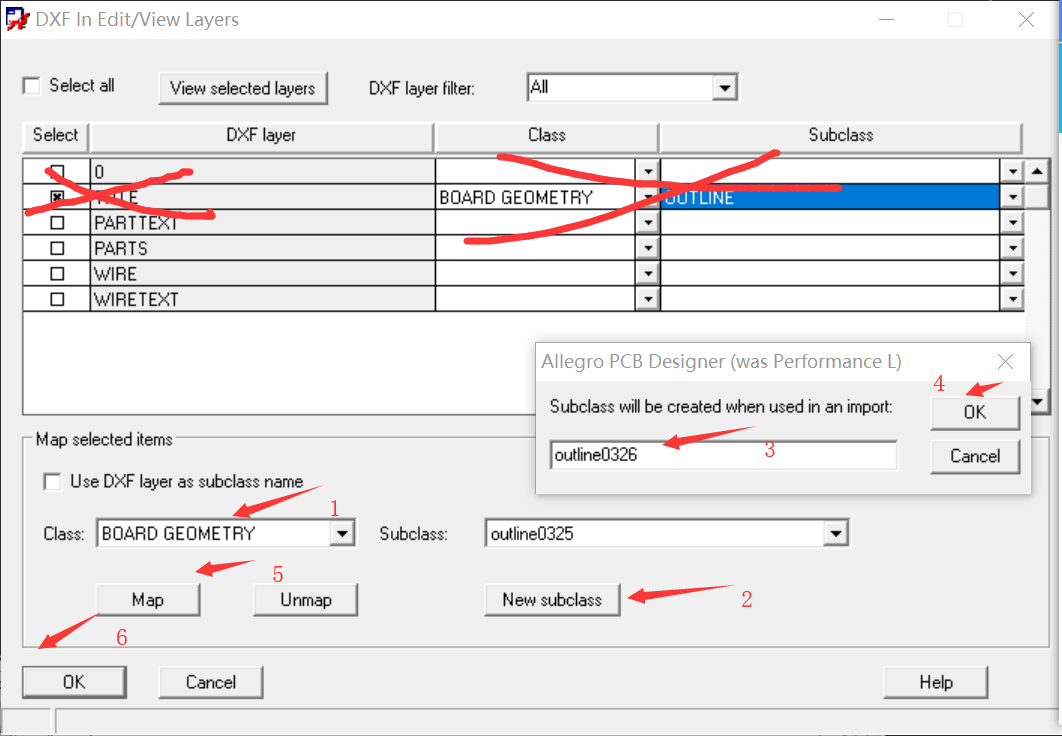
##### 导入板框时的注意事项是什么？

a, 注意单位选择mm（一般CAD出图用mm作为单位）；

b, 注意选择层和子层，建议在下方新建子层，多次改板时便于比较；

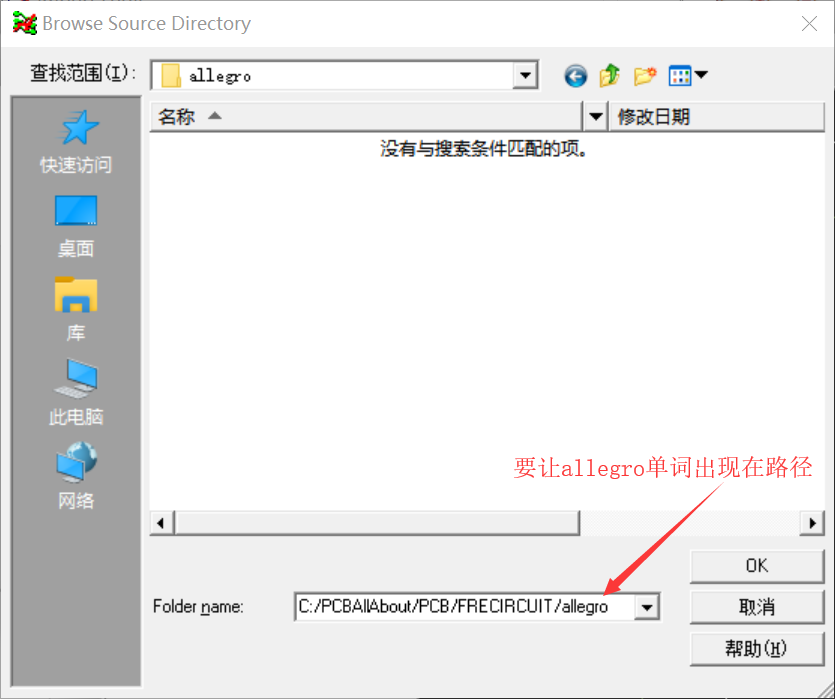
c, 结构要素图中的图形必须是闭合曲线，如果不连贯但是闭合，可以通过allegro软件调整，如果不闭合，必须请结构工程师改。

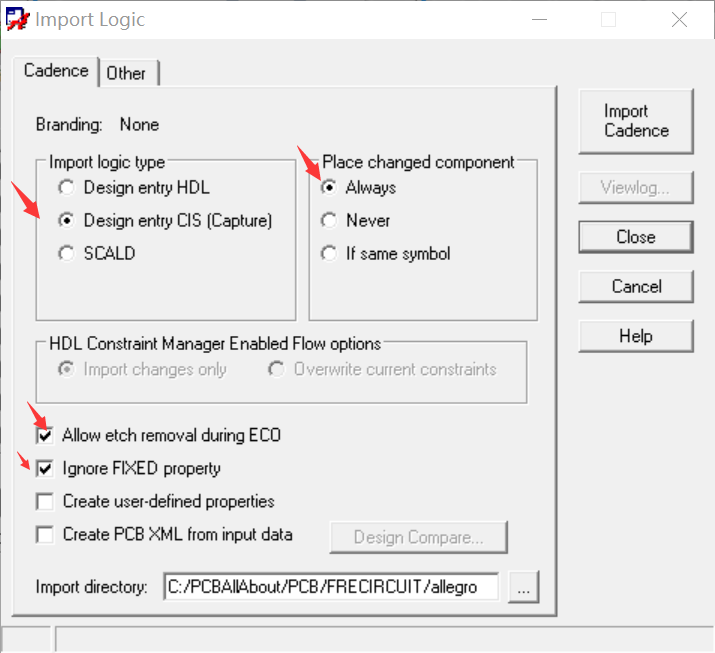


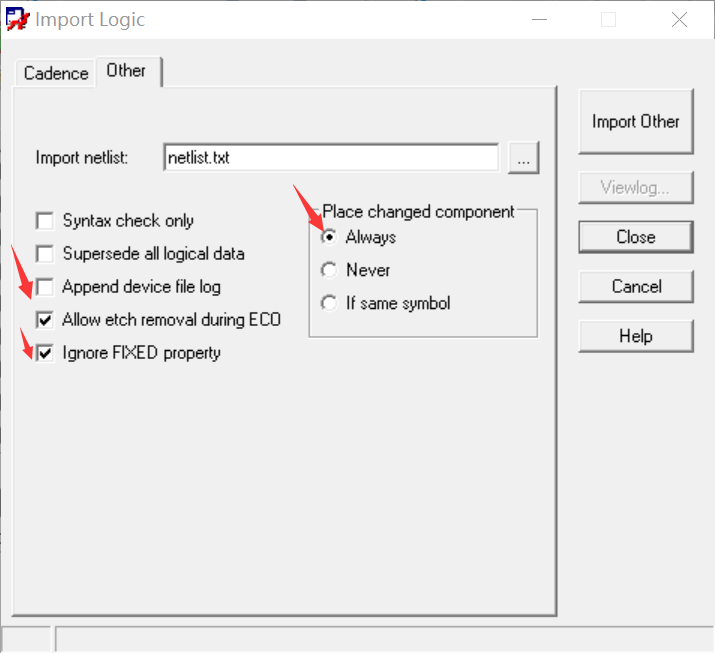


##### 导入网表时有哪些注意事项？

双击allegro文件夹使其出现在路径中；并且设置正确。







##### 导入网表报错的可能原因有哪些？如何解决？

a, 封装库没在默认路径或新添加路径之下；

通过修改Setup→User preferences→Paths→Library→确认路径正确，且所需封装均在路径之下。

b, 封装管脚数比原理图part管脚数少（封装多管脚不会报错）。

c, 封装管脚与原理图part管脚名称无法匹配。

d, 未正确导入最新的网表（如网表存放位置变化，默认新生成的网表与原理图库存放位置相同）。

##### 如何设置原理图和PCB交互布局：

在原理图中选择\*.dsn文件，→options→Preferences→Miscellaneous→勾选Enable Intertool Communication→重新生成网表→重新导入网表到PCB（在Allegro内File-Import-Logic），ok。

##### 向导方式新建封装时有哪些注意事项？

注意选择正确的封装形式、加载模板、尺寸选择正确，合理选择焊盘，设计1号脚识别标识。

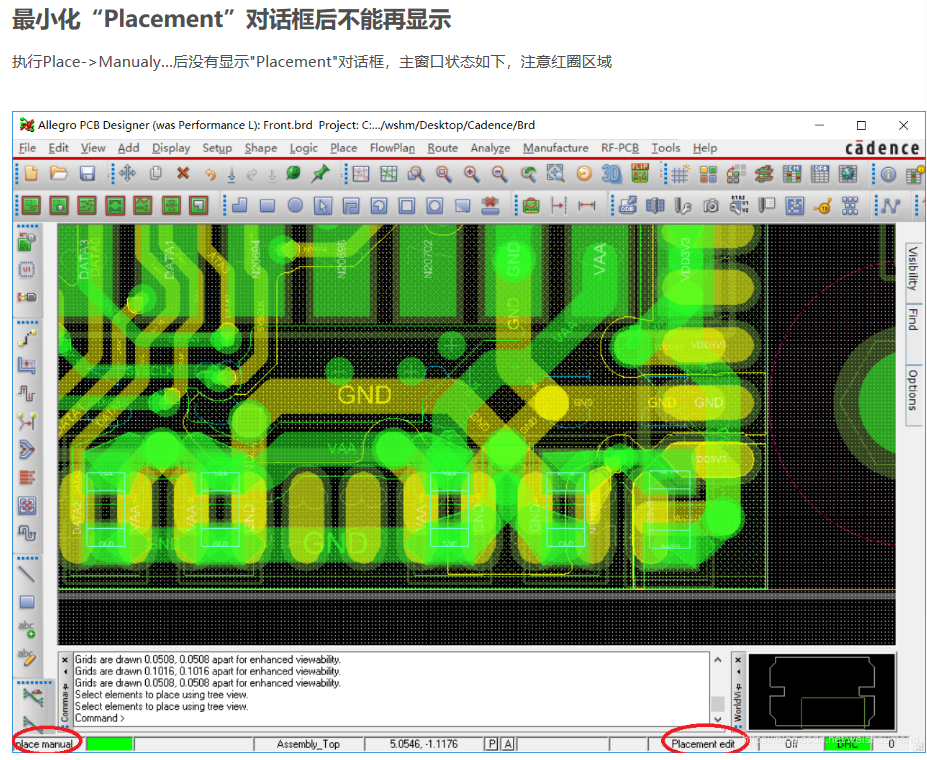
##### 网表导入正确但是无法放置所有封装的原因是什么？怎么解决？

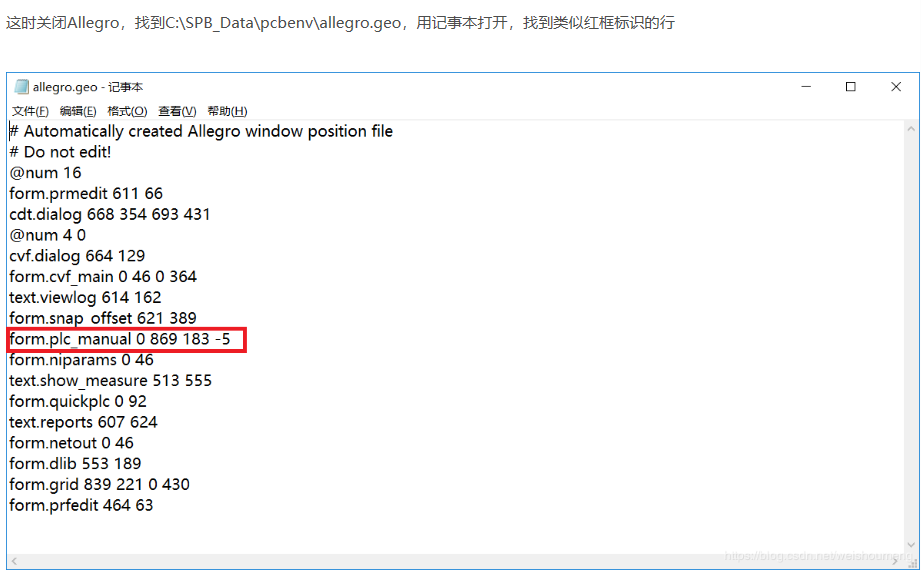
确保封装库路径设置正确，是否保留了默认路径（1、5、7的默认路径名称分别是$devpath,$padpath,$psmpath），所需封装在路径之下，封装库路径设置后有时无法马上生效，需要重启软件。

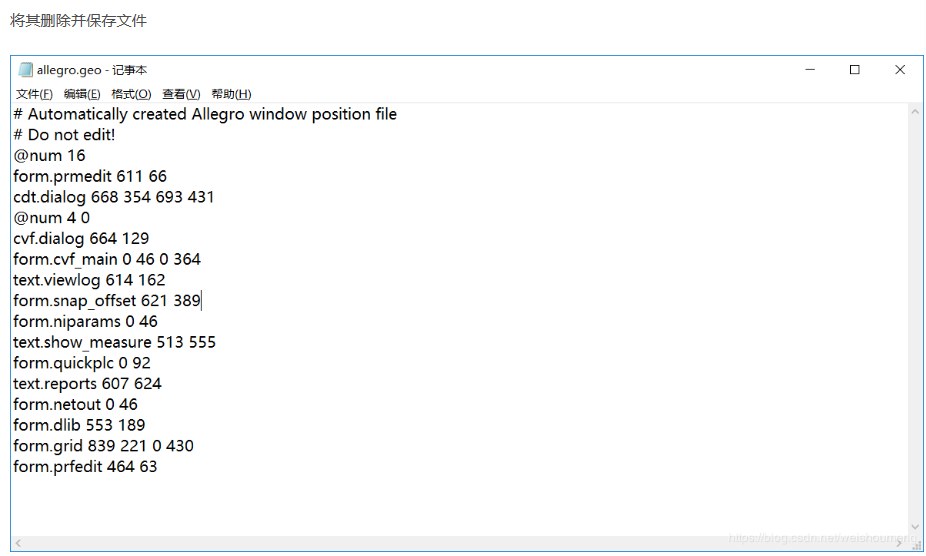
另外要确保所有封装都在路径下，且名字不冲突。

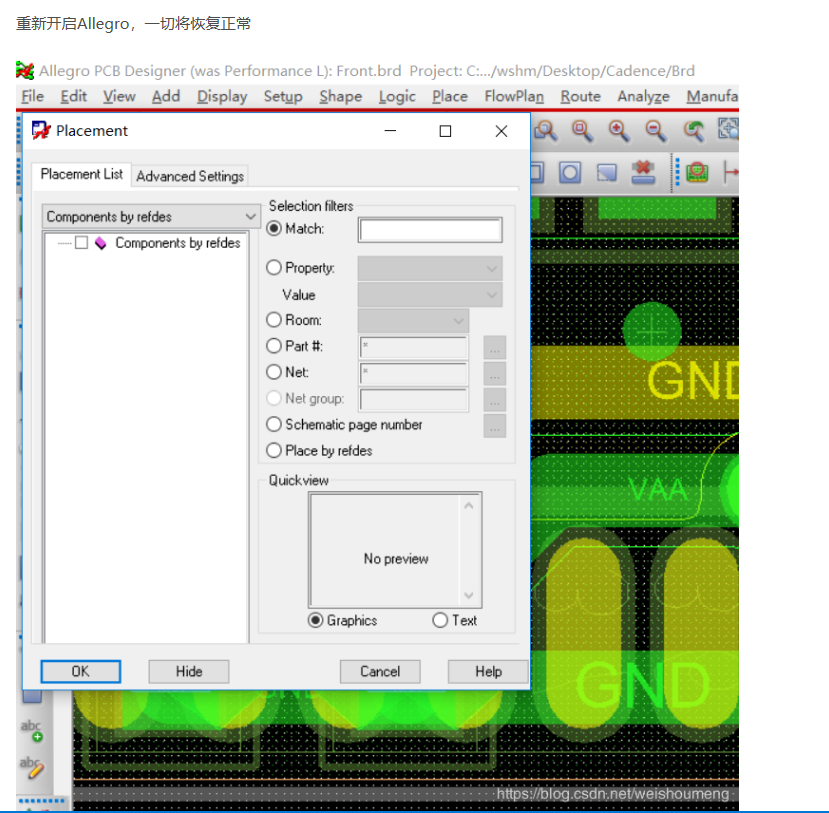
##### Manully place窗口不弹出来，怎么办？

https://blog.csdn.net/weishoumeng/article/details/88355619









##### 原理图中本应相连的两个管脚因命名错误，导致header上的GND极没有蓝线连接任何元件，怎么办？

在原理图里改好后生成网表，在现有文件上导入新网表，不需要重新走线。

##### 手动添加的封装，有些找不到，怎么办？

确保封装库路径设置正确，是否保留了默认路径（1、5、7的默认路径名称分别是$devpath,$padpath,$psmpath），所需封装在路径之下，封装库路径设置后有时无法马上生效，需要重启软件。

另外要确保所有封装都在路径下，且名字不冲突。

##### 如果工具栏被误操作删除了，怎么恢复？

点击View→Reset UI to Cadence default。

##### 如果走线显示灰色，命令不能激活怎么办？

可能是打开了错误的软件，比如Allegro PCB Planer是不能布线的，而是选择了只能布局的版本；

##### 为什么有时候无法复制走线或孔等对象？

有时Ctrl+C/V没反应，经实验，需先在Find栏勾选操作对象，后选择软件内的复制图标，将复制好的对象移动到指定位置即可。（林然 190210413）

##### 为什么有时候双击无法打孔？

不能直接双击打孔时，需先在CM-Physical Constraint Set-Via处选择孔的型号，再尝试双击打孔。（林然 190210413）

##### 走线错误时，如何快速的修改走线？

可以直接点击走线上两个点将其用一条新走线连起来从而代替错误的走线，也可以用推线命令修改走线的路径和孔的位置。注意此时均要在Find栏勾选相应的对象，才能使走线或孔被选中。（林然 190210413）

##### 差分对扇出方式不对称时怎么办？

可以尝试在扇出时右键选择 Via Pattern，改变扇出时打孔的角度。

相关英文注释如下：

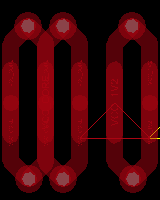
Horizontal： 水平 /Vertical： 垂直 /Diagonal Up： 斜向上 /Diagonal Down： 斜向下。（黄辰 190210602）

##### 创建差分对和等长组时，应该用NET创建还是用PPr？

创建差分对和等长时按照视频操作直接用NET创建，导致该信号经过的所有引脚都被规则限制。解决办法：用NET下的PPr（管脚对）建立差分和等长，规则就只会限制该管脚对间的连线。（曹樱瀚 190210403）

##### 有些引脚明明已经连好却会提示unplanned（管脚上出现三角形飞线）怎么办？

在进行电源及地的引脚扇出时，若如图进行连线，是对连线进行复制粘贴导致的。删除全部重新连线即可。（曹樱瀚 190210403/ 赵子健190210524）



##### 设置等长时，如何指定最长线作为target？

Analize后电脑可能不会选最长线作为基准线，这时要先对长度做analize找出最长线，再手动在误差容限处右键选择target。（曹樱瀚 190210403）

##### 布线时，有多个pin显示ED报错，该如何处理？

解决方法：ED是走线等长错误，因为还没有调整等长线，所以报错，布完等长线即可。

差分线长度差要求小于5mil，报ED错误时需要调整差分线长度。（李凌峰-190330116）

##### 点击Art图标没反应怎么处理？

关掉allegro PCB,然后把pcbenv目录（C:\Users\Administrator\AppData\Roaming\

SPB\_Data）下面的allegro.ini，allegro.geo，allegro.mru三个文件删除，重新打开软件即可。